

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号:
特表2000-500892
(P2000-500892A)

(43) 公表日 平成12年1月25日 (2000.1.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
G 0 6 K 19/07		G 0 6 K 19/00	N
G 1 1 C 16/06		G 1 1 C 17/00	6 3 2 C

審査請求 未請求 予備審査請求 有 (全 26 頁)

(21) 出願番号 特願平9-520505
(86) (22) 出願日 平成8年11月13日 (1998.11.13)
(85) 翻訳文提出日 平成10年5月8日 (1998.5.8)
(86) 国際出願番号 PCT/US96/18036
(87) 国際公開番号 WO97/20269
(87) 国際公開日 平成9年6月5日 (1997.6.5)
(31) 優先権主張番号 60/006,478
(32) 優先日 平成7年11月13日 (1995.11.13)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), CA, CN, IL, J P, KP, KR, SG, VN

(71) 出願人 レクサー・マイクロシステムズ・インコーポレーテッド
アメリカ合衆国・94538・カリフォルニア州・フレモント・ベイサイド パークウェイ・47421
(72) 発明者 エスタクリ, ペトロ
アメリカ合衆国・94566・カリフォルニア州・プリザントン・フットヒル ノールズ・7966
(74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 複数電圧印加における自動電圧検出

(57) 【要約】

複数のフラッシュEEPROM装置 (24)、および制御装置 (20) から構成される、取外し可能制御カードが説明される。制御装置 (20) は、さらに、コンピュータ (25) の中の電源によって提供される、システム電圧レベルを判定するため、および、フラッシュEEPROM装置 (24) による動作に適したレベルに、システム電圧レベルを分割するよう、電圧レギュレータ回路 (30) を適切に使用可能にするための、可変電圧検出装置 (28) を含み、この動作の電圧レベルをフラッシュEEPROM装置 (24) に適用する電圧検出回路から構成される。フラッシュEEPROM装置 (24) の動作に適した、電源によって提供されるシステム電圧レベルを判定するとき、電圧レギュレータ回路 (30) を使用不能にし、システム電圧レベルをフラッシュEEPROM装置 (24) に提供すること。

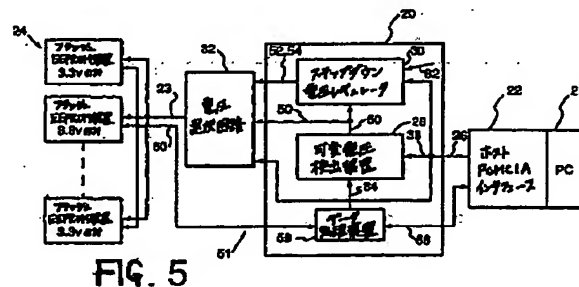


FIG. 5

【特許請求の範囲】

1. コンピュータと、そのコンピュータに取外し可能制御カードを接続し、このカードとの間で電源入力およびデータを含むデジタル情報を通信するインターフェースとを有するコンピュータ・システムで使用される取外し可能制御カードであって、

記憶装置電源電圧入力に応答して、フラッシュ記憶装置に機能データ操作を実行させる、少なくとも1つのフラッシュ記憶装置を含む不揮発性記憶装置と、

制御装置とを備え、その制御装置は、

所定の電圧レベルを有する電源入力に応答し、かつ電圧選択信号を生成するように動作し、電源入力の電圧レベルを検出する電圧検出装置と、

前記電圧選択信号と電源入力に応答し、電源入力の電圧レベルを、ステップダウン電圧レベルに分割するよう動作する電圧レギュレータであって、さらに、前記電源入力の電圧レベルか、または、フラッシュ記憶装置が機能データ操作を正常に実行するのに使用するのに必要な適切な電圧レベルに基づく前記ステップダウン電圧レベルのいずれかの電圧レベルを表す電圧レベルを有する前記記憶装置電源電圧入力を供給するように動作する電圧レギュレータとを含む、

カード。

2. 前記電源入力電圧レベルが $5\text{ V} \pm 10\%$ であって、前記ステップダウン電圧レベルが $3.3\text{ V} \pm 10\%$ である請求項1に記載の取外し可能制御カード。

3. 前記電圧検出装置が、前記電源入力を受けるように結合される第1の抵抗分割回路を含み、その抵抗分割回路が、電源入力電圧レベルを選択的に分割するようにステップダウン電圧レベル信号を生成する少なくとも2個の抵抗を含む請求項2に記載の取外し可能制御カード。

4. 前記電圧検出装置が、PCシステムの電源投入の間、電源入力の電圧レベルを検出させるため前記第1の抵抗分割回路を使用可能にし、電源投入後電力効率を減少させるため、前記第1の抵抗分割回路を使用不能にするための、前記第1の抵抗分割回路に結合されるパワーダウン・トランジスタ・スイッチを含む、請求項3に記載の取外し可能制御カード。

5. 前記電圧検出装置が、前記電源入力に結合され、前記電圧選択信号を生成するため動作するスイッチング回路を含む請求項4に記載の取外し可能制御カード。

6. 前記スイッチング回路が、前記電源入力と前記第1のステップダウン信号を受けるように結合され、第1の電圧スイッチング信号を供給するよう動作する第1のPMOSトランジスタを含み、前記スイッチング回路が、さらに、前記電源入力に応答し、前記電圧選択信号を生成するよう動作するインバータ・スイッチング回路を含む請求項5に記載の取外し可能制御カード。

7. 前記インバータ・スイッチング回路が、さらに、前記電源入力と前記第1の電圧スイッチング信号に応答し、前記電圧選択信号を生成するようNMOSトランジスタに連続して結合される第2のPMOSトランジスタを含み、前記NMOSトランジスタが、前記第1の電圧スイッチング信号に応答する請求項6に記載の取外し可能制御カード。

8. 前記スイッチング回路が、さらに、選択記憶装置を含み、前記電圧選択信号を生成するよう動作する請求項7に記載の取外し可能制御カード。

9. さらに、前記電源入力と演算増幅器出力信号に応答して記憶装置電源電圧入力を生成するよう動作するバイポーラ・スイッチング・トランジスタに結合される第1端子を持ち、第2端子がアースに結合されるコンデンサを備える電圧選択回路をさらに含む請求項8に記載の取外し可能制御カード。

10. 前記電圧レギュレータが前記電源入力を受けるように結合された第2の抵抗分割回路を含み、その抵抗分割回路が、電源信号電圧レベルを分割し、第2のステップダウン電圧基準レベルを生成するよう動作する少なくとも2個の抵抗を含む、請求項9に記載の取外し可能制御カード。

11. 前記電圧レギュレータが、さらに、前記第2の抵抗分割回路に結合され、前記演算増幅器出力信号を生成するよう動作する演算増幅器を含む請求項10に記載の取外し可能制御カード。

12. 前記電圧レギュレータが、さらに、このカードがパワーダウン動作を開始するとき、前記演算増幅器と第2の抵抗分割回路を開放するようパワーダウン信号に応答する請求項11に記載の取外し可能制御カード。

13. コンピュータと、そのコンピュータを取外し可能制御カードへ接続し、コンピュータとカードとの間で、電源入力およびデータを含むデジタル情報を通信するためのインタフェースとを有し、そのカードがデジタル情報を処理し、それをフラッシュEEPROM装置に与え、そこへデータを格納するための制御装置を含むコンピュータ・システムにおいて、電源入力の電圧レベルを検出し、かつ電源入力か、または、フラッシュEEPROM装置で使用する記憶装置供給入力を生成するために電圧レベルが分割された電源入力に基づく分割電源入力かを選択する方法であって、

インタフェースを介してコンピュータから電源入力、すなわち所定の電圧レベルを持つ電源入力を受けとるステップと、

電源入力の所定の電圧レベルを検出し、それに応答して、電圧選択信号を生成するステップと、

検出された電圧レベルを分割し、ステップダウン電圧レベルを生成するステップと、

電源入力の電圧レベルとステップダウン電圧レベルのいずれかを選択し、それによって、フラッシュEEPROM装置が、データの機能操作を正常に実行できるようにする記憶装置供給入力を生成するステップとを含む方法。

14. コンピュータと、コンピュータから制御装置へデータと電源入力を含む電源情報とを通信するためのインタフェースと、データを格納するための少なくとも1つのフラッシュ記憶装置とを有するコンピュータ・システムにおいて、制御装置によって電源入力の電圧レベルを検出し、データの機能操作を実行するためにフラッシュ記憶装置へ、電源入力を供給するか、または、分割された電源入力を供給するかを決める方法であって、

コンピュータから制御装置へ、インタフェースを介して電源入力を供給するステップと、

ステップダウン電圧レベルを生成するため、供給された電源入力を所定の値に分割するステップと、

ステップダウン電圧レベルをフラッシュEEPROM装置へ供給するステップ

と、

データの読出し、書込み、および消去を含む機能操作を実行し、機能操作の結果が成功であるとき、フラッシュ記憶装置へのステップダウン電圧レベルを供給し続けるステップと、

機能操作が不成功であるとき、フラッシュ記憶装置への電源入力を供給するステップと
を備える方法。

【発明の詳細な説明】**複数電圧印加における自動電圧検出****発明の背景****関連出願への相互参照**

これは、1995年11月13日、米国特許商標庁に登録された、「AUTOMATIC VOLTAGE DETECTION IN MULTIPLE VOLTAGE APPLICATIONS」という題の、以前の本発明者等の仮特許出願第60/006478号の本出願である。

発明の分野

本発明は、一般に、電池で作動するパーソナル・コンピュータ（PC）など、電源から複数の電圧源を与えるシステムで使用するための入力電圧源の電圧レベルの検出に関するものであり、より詳細には、本発明は、コンピュータ・システム内の制御装置チップに供給される入力電圧源の電圧レベルを検出し、検出された入力電圧に基づいて、電気回路が機能動作を実行するために使用するのに適切な電圧レベルを供給する。

従来の技術の説明

今日のコンピュータまたはPCの大部分は、PCの電源ユニットによって提供される、5.0ボルト±10パーセント・レベルで動作している。しかしながら、PCが3.3Vなど5V以外のレベルで動作する傾向がコンピュータ業界で増加し続けている。PC用の電子構成要素すなわち集積回路（IC）の設計者は、多様なPCまたはシステムの設計要件に応えるため、これらの構成要素が、複数電圧レベルのどのレベルでも動作できるよう設計しなければならない。たとえば、ノートブックPC、ラップトップPC、パームトップPCなどのポータブル・コンピュータに強く望まれる、電力消費を削減するという目標のため、コンピュータ業界は、より低い電圧、すなわち3.3ボルト（V）±10パーセントで動作

できる設計へと進んできた。しかし、電源電圧レベルとして5Vを使用することは、多様なシステム、および装置の制約条件のため、まだ必要とされている。

ごく最近では、ポータブル・コンピュータが普及するにつれ、より低い電圧で動作し、より少ない電力しか消費しない電子構成要素および電子装置が、これらのポータブル・コンピュータの設計者にとって、非常に望ましいものになった。そのため、電子構成要素が、3から3.6ボルト、つまり、一般的で、消費者が容易に入手できる3個の電池セルに等しい電圧レベルで動作することが必要になった。

ポータブルPCシステムは、PCの製造時、または後で消費者が別にカードを購入したときにPCに差し込まれる、PCカードの形で購入できる追加のメモリ、モデム等など（これらのPCカードは、時々プラグイン・カードと呼ばれる）の機能拡張に関して、広範囲で多様なフレキシビリティがある。これらのPCカードは、ICなどの電子構成要素を備えており、それらのICおよび他の電子構成要素は電源入力源として、3.3Vまたは5V電圧レベルを必要とするので、現在、3.3Vまたは5Vで動作するよう設計されている。最初の不揮発性記憶装置（フラッシュEEPROM装置）は、2つの異なる電圧レベル、すなわち5Vと12Vで動作するよう設計されたが、それは、この2つの供給電圧でのみ動作するという制限があったためである。

固体回路カードを使用する、最初のPCの高レベルのブロック図が、第1図に示されている。第1図では、一連のフラッシュEEPROM ICが、ホスト・インタフェース14を介してホスト・コンピュータ（図示せず）と通信する制御装置12に結合される。フラッシュEEPROM 10および制御装置12は、一般に、PCに差し込まれ、インタフェース14を介してホスト・コンピュータと対話する固体回路PCカード上にある。制御装置は、PCシステムの電源ユニットから5V電圧レベル源を受け取り、一方、フラッシュEEPROMは、制御装置12から、5Vと12Vを受け取る。その両方が、第1図の電源13に示されている。12Vの電圧源は、制御装置12によって生成される。

しかしながら、後の設計では、フラッシュEEPROMの設計は、5Vの供給電圧だけを必要とする。第2図は、フラッシュEEPROMなどを組み込んだP

C環境で使用される、PCカードなどの高レベル・ブロック図を示す。このカー

ドは5V PCシステムでのみ動作する。

より最新のフラッシュEEPROMは、3.3Vで動作するように設計される。第3図は、これらの3.3VフラッシュEEPROMを使用するPCシステムを示す。第3図に示すようなシステムは、入力電圧源として、そのフラッシュEEPROMに3.3Vを供給することを必要とし、したがって、5V電源で動作できない。同様に、第2図の5Vシステムは、フラッシュEEPROM装置に供給される5V供給電源でのみ動作可能である。しかし、まだ、3.3Vまたは5V動作のいずれかをサポートする、すなわち、いずれかの電圧がPCカードに供給されることによって、そのいずれかの電圧のもとで効果的に動作するシステムを設計することが必要とされる。さらに、PCMCIAは、業界で規定された多数のホスト・インタフェース基準の1つであって、PC業界の大多数によって規定され、準拠されるが、それは、PCMCIAインタフェースを通して対話するための、いくつかの必要条件を指定し、その必要条件の一部として、PCMCIA PCカードが3.3Vと5Vのいずれかで動作可能であることを含んでいる。

PCMCIA基準に準拠して、PCカード製造業者は、最近、5V供給電圧のみ、または、5Vおよび3.3Vの2通りの供給電圧のいずれかで動作するようにカードを設計した。しかしながら、両方の種類のカードを持つと、3.3Vでのみ実行するように設計され、しかも5Vを供給するPCスロットに挿入できるPCカードを損傷する危険性を示した。この問題は、特定のPCスロットにのみ適合する物理的なキーをPCカードに必要とする、より最新のPCMCIA基準の必要条件によって解決された。この方法では、3.3Vを必要とするPCカードは、3.3Vしか供給しないPCPCMCIAスロットに、特に適合するように設計されており、したがって、5V供給のPCPCMCIAスロットには、適合しないであろう。これによって、3.3Vでのみ動作するPCカード上にある装置への、潜在的な損傷を避けることができる。

ごく最近、PCMCIA基準は、さらに、5Vで動作するように設計されたカードが（これらのカードは、5Vのもとで動作できるフラッシュEEPROMを組み込んでいる）、5Vカードとしてのキーを持つよう設計される一方、3.3V

のキーを持つソケットに差し込むことができることも、要求するように改訂された。

もしそうであれば、5 V電圧源は、3.3 Vへ変換されるであろう。第4図は、カードの物理的キーによって5 V出力のPCシステムでのみ動作するカード上に3.3 VフラッシュEEPROM装置があるPCシステムを示す。システムによって提供される5 V供給電圧は、ステップダウン電圧レギュレータ16によって、フラッシュEEPROM10によって使用される3.3 Vへ変換される。しかし、もし、5 V EEPROM装置を持ち、したがって5 V電源電圧レベルを必要とするPCカードが、同じスロットに挿入される場合、電圧レギュレータ16を使用する必要はないだろう。もし、5 V電源が3.3 Vへ変換された場合、多分そのPCカードは動作しないであろう。したがって、電圧レギュレータを使用する必要があるかどうかを判定するため、PCシステム電源によって供給される電圧レベルを検出する必要性が生じる。さらに、誤った電圧を使用した結果の回路への損傷を防止するため、フラッシュEEPROM装置などの電子回路へ第1と第2の電圧源を選択して供給することが必要となる。

したがって、PCシステム内の電源から与えられる電圧レベルを検出し、フラッシュEEPROM装置を使用するPCカードへ、複数電圧レベルを供給することができる必要性がある。

発明の概要

したがって、本発明の主要な目的は、コンピュータ・システムの中で電子回路が動作できるようにする電圧検出装置を提供することであり、コンピュータ・システムによって提供される電圧レベルを自動的に判定し、電子回路によって使用される電圧レベルを適切に調節することによって、複数電圧レベルを使用できるようにすることである。

本発明のもう1つの目的は、コンピュータ・システムによって提供される電源の電圧レベルを検出し、その電圧レベルが、システムが使用するフラッシュEEPROM装置などの、不揮発性記憶装置に適するかどうかを判定して、もし、検出された電圧レベルが、フラッシュEEPROM装置に使用するのに適する場合

それを供給し、もし適さない場合、フラッシュEEPROM装置に使用するのに適するように電圧レベルを変換する、本明細書に記載する形式のシステムを提供することである。

本発明のもう1つの目的は、フラッシュEEPROM装置に加える前に、システム電圧源を分割するための電圧レギュレータ回路を使用する、本明細書で述べられる形式のシステムを提供することである。

さらに、本発明のもう1つの目的は、電圧検出回路を使用してシステム電圧レベルを検出するシステムを提供することである。

本発明のさらなる目的は、フラッシュEEPROM装置へ、分割されたシステム電圧レベルを加え、フラッシュEEPROM装置が機能動作を実行し、その機能動作の結果が不成功であるとき、システム電圧レベルをフラッシュEEPROM装置に加え、それによって電圧検出回路の必要性をなくす本明細書で述べられる形式のシステムを提供することである。

本発明のもう1つの目的は、PCシステムによって提供された電圧レベルが3.3Vか5Vかを判定し、その判定に基づき、もしシステム電圧レベルが3.3Vである場合、PCシステムの中に組み込まれた固体回路カードに、そのシステム電圧レベルを加え、もしシステム電圧レベルが5Vである場合、この電圧を3.3Vへ変換し、変換された電圧を固体回路カードに加える検出回路を提供することである。

簡潔に言うと、本発明の好ましい実施態様には、フラッシュEEPROM装置、および制御装置を持つPCカードの中に組み込まれた電圧検出回路、さらに、PC製品の中の電源によって提供されるシステム電圧レベルを判定し、フラッシュEEPROM装置による動作に適したレベルに、システム電圧レベルを分割し、この動作電圧レベルをフラッシュEEPROM装置に加えるように電圧レギュレータ回路を適切に使用できるようにする可変電圧検出装置を含む電圧検出回路が含まれる。電源から提供されるシステム電圧レベルが、フラッシュEEPROM装置の動作に適していると判定されると、電圧検出回路が使用不能になり、システム電圧レベルがフラッシュEEPROM装置に提供される。

当分野の技術者には、図面に示す好ましい実施形態についての以下の詳細な説

明を読めば、本発明の上記その他の目的および利点が、疑う余地もなく明白になるであろう。

図面において

第1図は、5 V、および1.2 Vで動作するフラッシュEEPROM装置が使用される従来技術のPCシステムの高レベル・ブロック図を示す。

第2図は、5 Vのみで動作するフラッシュEEPROM装置を使用する従来技術のPCシステムのもう1つの高レベル・ブロック図を示す。

第3図は、3.3 Vのみで動作するフラッシュEEPROM装置を使用する従来技術のPCシステムのさらにもう1つの高レベル・ブロック図を示す。

第4図は、フラッシュEEPROM装置に使用する、5 Vから3.3 Vへ変換する電圧ステップダウン・レギュレータ回路を持つ、従来技術のPCシステムを使用するPCシステムのブロック図を描く。

第5図は、ステップダウン電圧レギュレータ、可変電圧検出装置および電圧セレクタを含む制御ICの中で、本発明の好ましい実施形態を使用するPCカードを示す。

第6図は、第5図に示される可変電圧検出装置の詳細図を示す。

第7図は、本発明の好ましい実施形態で使用される、第5図の電圧レギュレータおよび電圧選択回路の詳細図を示す。

好ましい実施形態の詳細な説明

次に、図面を参照すると、第5図は、制御装置20が、ホストPCMCIAインタフェース22、および電圧選択回路32を介して、一連のフラッシュEEPROM装置24に結合される本発明の好ましい実施形態を使用するPCシステムのブロック図を示す。制御装置20は、一般にPCカード上（図示されていない）にあるICである。電圧選択回路32、およびフラッシュEEPROM装置24もまたPCカード上にある。PCMCIAインタフェースをサポートするPC25にPCカードを挿入することができる。PCの動作中、およびPCカードがその中に挿入されたままのとき、PCカードは、ホスト・コンピュータ（またはC

PU) と、ホストPCMCIAインタフェース22を介して通信することによって、データ、およびコマンド情報を両者間で転送する。PC25とPCカードの間の通信のため使用されるプロトコルは、一般に、業界規模で適応されるPCMCIA基準によって規定される。

本発明の好ましい実施形態では、第5図に示されるように、フラッシュEEPROM装置24は3.3Vでのみ動作する。しかし、PC25が、PCMCIAインタフェース22を介して、PCカードへ供給する電圧源26の電圧レベルは3.3Vまたは5Vのいずれかであろう。PCカード20が3.3Vまたは5VのいずれかのPC PCMCIAスロットに差し込まれたとき、PCカードが正しい機能を維持するように動作できることが本発明にとって重要である。

入力電圧36が、PC25からインタフェース22を介して、制御装置20の中にある可変電圧検出装置28に供給される。これに応答して、電圧検出装置28は、同じく制御装置20にあるステップダウン電圧レギュレータ30に3.3V選択信号50を渡す。電圧検出装置28は、PCカード上にあるが制御装置20の外部で生成されるイネーブル信号34に応答する。イネーブル信号34は、PCシステムの電源投入時、周知の抵抗-コンデンサ（すなわちRC）回路を介して生成される。始めは、その論理状態が「0」であって、特定の時間経過後、主にRC回路の抵抗とコンデンサの値によって判定され、論理状態が「1」になる。電圧レギュレータ30は、信号52とフィードバック信号54によって、電圧選択回路32に結合される。電圧選択回路32は、PCカードの内部で、しかも制御装置20の外部にある。次に、電圧選択回路32は、電力、すなわち電圧源入力を、供給入力信号23を介して、フラッシュEEPROM装置24へ供給する。フラッシュEEPROM装置24は、制御装置20および電圧選択回路32と、同じPCカード上で、しかしそれらの外部にある。

より詳細について簡潔に説明されるであろうが、電圧検出装置28は、入力電圧36の電圧レベルに応じて3.3V選択信号50によって電圧レギュレータ30を使用可能にしたり、使用不能にしたりする。電圧選択回路32は、信号52、および信号54に応答して、フラッシュEEPROM装置24に適用するのに適する電圧レベルを選択し、供給入力信号23を介してそれを供給する。

以上、第5図の説明は、制御装置、PC、およびフラッシュEEPROMの電力に関する信号に関連した相互接続方法についてであった。この相互接続は、本発明にとって重要である一方、電力の相互接続を有する理由が、PC25とフラッシュEEPROM装置24の間で、制御装置20を介してデータを転送させるためであることは、当分野の技術者にとって明白であるにちがいない。そのバスは全体として第5図の51に示される。PC25は、ホストPCMCIAインタフェース22によって、データ、ユーザ情報、およびコマンド情報をデータ処理装置58へのデータ・バス56を介して転送する。これに応答して、データ処理装置58は、フォーマット、誤り訂正符号化、およびコマンド解読などの操作の機能を実行してデータを処理する。次に、その処理されたデータをフラッシュ・データ・バス60を介して、フラッシュEEPROM装置24へ転送する。バス56およびバス60は、それぞれ、情報転送を高速化するため当業界で普通に行われている並列処理で複数の情報を転送する複数の信号線から構成される。

第6図は、電圧検出装置28に含まれる回路をより詳細に示す。以前に述べられたように、入力電圧36が、電圧検出装置28への入力として、ホストPCMCIAインタフェース22を介して供給され（第5図）、イネーブル信号34が制御装置20の中で生成される。次に、第6図を参照すると、R1抵抗38は、端子の1つを介して入力電圧36へ、第2の端子を介してノード46が形成されるR2抵抗40へ接続される。R2抵抗40は、また、ドレーン端子がアース（0V）に接続されたN2トランジスタ42のソース端子へ第2端子を介して接続される。N2トランジスタ42のゲート端子はイネーブル信号34に接続される。P1トランジスタ44は、PMOSトランジスタであり、そのゲート端子がノード46に接続される。P1トランジスタ44は、そのソース端子を介して入力電圧36に接続される。P1トランジスタ44のドレーン端子は、ノード64を形成するR3抵抗62の第1端子に接続される。

ノード64は、さらに、P2トランジスタ66とN1トランジスタ68のゲート端子に接続される。P2トランジスタ66とN1トランジスタ68は、インバータ・スイッチング回路として一緒に動作する。このインバータ回路は、動作時ノード64の状態を反転し、ノード74に出力する。こうして、ノード64が論

理状態「1」のとき、ノード74は論理状態「0」になるであろうし、ノード64が論理状態「0」のとき、ノード74は状態「1」になるであろう。トランジスタ68のドレイン端子は、アースに接続され、そのソース端子は、P2トランジスタ66のドレイン端子に接続され、ノード74を形成する。P2トランジスタ66のソース端子は入力電圧36に接続される。ノード74は、さらに、R4抵抗70の第1端子に接続され、R4抵抗70の第2端子は、フィードバック・パスを介して、ノード46に接続される。このフィードバック・パスは、R4抵抗70を介して、ノード46の論理状態を改善することによって、ラッチ72がノード74をサンプリングする間の変動を防止する。

ノード74は、さらにラッチ72のデータ入力端子に入力を与える。ラッチ72は、基本的には、サンプル・ホールド回路であり、イネーブル信号34（ラッチ72のイネーブル入力への入力として与えられる）が論理状態が「1」のとき、ラッチ72の出力が、その入力、すなわちノード74の状態を反映する。これを普通、「サンプリング」という。イネーブル信号34が、論理状態「0」のとき、ラッチ72の出力は、サンプリング中のデータ入力の最新の値を保持する。これを、「ホールディング」という。ラッチ72の出力は、3.3V選択信号50を生成する。すぐ明らかになるように、3.3V選択信号50を示す論理状態「1」は、入力電圧36が $3.3\text{V} \pm 10\%$ 電圧源であることを示し、論理状態「0」は、入力電圧36が $5\text{V} \pm 10\%$ 電圧源であることを示す。

当分野の一般技術者にとって明白であるように、N2トランジスタ42、およびN1トランジスタ68はNMOS型のトランジスタであり、一方、P1トランジスタ44、およびP2トランジスタ66はPMOS型のトランジスタである。電圧検出装置28は、すぐ明白になるように、供給電圧値を検出するというPMOSトランジスタの特性を利用する。R1抵抗38とR2抵抗40の抵抗値はその比率がP1トランジスタ44のゲート端子に加えられる電圧を決定するように選択される。システム供給電圧、およびそれ故入力電圧36が3.3Vでなく5Vであるとき、この電圧はより高くなる。したがって、供給電圧、すなわち入力電圧36が $5\text{V} \pm 10\%$ のときP1トランジスタ44を「オン」モードに、供給電圧が $3.3\text{V} \pm 10\%$ のとき「オフ」モードになるようにR1抵抗とR2抵抗

の比率が選択される。P2トランジスタ66とN1トランジスタ68は、P1トランジスタ44が余裕を持って「オフ」モード、または「オン」モードになる時に決定される電圧レベルでトリガされるように調整され、供給電圧の変動によって、ラッチ72が、3.3V選択信号50の誤った結果を生成しないこと確実にする。言い換えると、P1トランジスタ44のR3抵抗62に対する比率は、P1トランジスタ44が余裕を持って「オン」のとき、ノード64が、論理状態「1」となり、P1トランジスタ44が「オフ」モードのとき、ノード64が、論理状態「0」となるように選択される。

PCシステムの初期化、または電源投入の時、PCシステムの電源（図示せず）は、一般に不安定な状態であり、システムによって生成される信号、または電圧レベルは、不明である。本発明の好ましい実施形態において、この不安定な状態の間、第6図に示される電圧検出装置は、アクティブであり、イネーブル信号34もまた、実行可能（すなわちアクティブ）であり、論理状態「1」である。N2トランジスタ42は、「オン」であって、R1とR2、つまり38と40から構成される抵抗分割回路が、アクティブであることを保証する。システム電源投入の間、イネーブル信号34がアクティブ、つまり論理状態「1」であるので、ラッチ72は、P2トランジスタ66とN1トランジスタ68を介して、入力電圧36の状態をサンプリングし、それを捕らえる。

イネーブル信号34がアクティブである間、N2トランジスタ42は、「オン」モードであり、ノード46は、（前に述べたとおり）所定のR1抵抗とR2抵抗の比率に基づき、適切な電圧レベルを与え、P1トランジスタ44を「オン」または「オフ」のいずれかに切り換える。すなわち、もし、供給電圧、つまり入力電圧36が $5V \pm 10\%$ の場合、P1トランジスタ44は「オン」モードになるであろうし、3.3V選択信号50は、論理状態「0」になるであろう。もし、入力電圧が $3.3V \pm 10\%$ の場合、P1トランジスタ44は「オフ」モードになるであろうし、3.3V選択信号50は、論理状態「1」になるであろう。

電源が安定し、ラッチ72が、（電源からくる）入力電圧36の状態を捕らえた後、制御装置20（第5図）がイネーブル信号34を非アクティブにする（この場合、イネーブル信号を低電圧レベルにすることを意味する）。非アクティブ

の状態のイネーブル信号34は、ノード74にP2トランジスタ66とN1トランジスタ68の出力として与えられる捕らえた電圧レベル、すなわちサンプリング電圧レベルを維持する。ノード74における電圧レベルは、入力電圧36（すなわちシステム供給電圧）の状態の検出電圧レベルである。したがって、ノード74によって与えられる検出電圧レベルは、出力50における論理状態「0」が、5V供給電圧を表し、論理状態「1」が、3.3V供給電圧を表すラッチ72から得られる。

次に、第7図の図面を見ると、電圧レギュレータ30と電圧選択論理32の詳細に描かれた概略図が示される。電圧レギュレータにはP3トランジスタ76が含まれている。そのゲート端子には、インバータ78を介して、3.3V選択信号50を反転した信号が加えられる。P3トランジスタ76は、さらに、入力電圧36からソース端子への入力も受信する。インバータ78は、3.3V選択信号50に応答し、その出力は、P3トランジスタ76のゲート端子、および2入力NORゲート80の第1入力の両方に接続される。NORゲートの第2入力に接続されるのは、レギュレータPD信号82である。パワー・ダウン・コマンドが、インタフェース22とデータ処理装置58へのデータ・バス56を介して、PC25によって指示されるとき、または、処理動作がないため、制御装置20がシステム電源を節約するのにパワー・ダウンすることを決定するときのいずれかに、制御装置20の中でレギュレータPD信号82が生成される。次に、NORゲート80は、演算増幅器86のイネーブル入力、およびN3トランジスタ84のゲート端子への入力を与える。N3トランジスタ84のドレーン端子はアースに接続される。N3トランジスタ84のソース端子はR5抵抗88の端子の1つに接続される。R5抵抗88の第2端子はノード92でR4抵抗90の端子の1つに接続される。ノード92は演算増幅器86の正の入力へ接続されている。演算増幅器86の負の入力端子は、ノード94で、P3トランジスタ76のドレーン端子に接続される。R4抵抗90の第2端子は入力電圧36に接続される。

前に述べたように、電圧レギュレータ30は電圧選択回路32に結合される。電圧選択回路32には、バイポーラ・トランジスタ96とコンデンサ98が含まれる。電圧選択回路32は、バイポーラ・トランジスタ96のエミッタ端子に接

続される入力電圧36を受ける。バイポーラ・トランジスタ96のベース端子は、演算増幅器86の出力端子に接続される。バイポーラ・トランジスタ96のエミッタ端子は、コンデンサ98の端子の1つに接続し、供給入力信号23を生成する。コンデンサ98の第2端子はアースに接続される。

入力電圧36を介して5Vが供給されている、本発明の好ましい実施形態を使用するPCシステムの動作中3.3V選択信号50は論理状態「0」であるので、インバータ78の出力が、論理状態「1」になるためP3トランジスタ76は、「オフ」モードになるであろう。レギュレータPD信号82もまた、論理状態「0」であるため、NORゲート80の出力は、論理状態「1」になり、したがって、N3トランジスタ84と演算増幅器86が使用可能になるであろう。N3トランジスタ84が使用可能になると、R4抵抗90およびR5抵抗88から構成される抵抗分割回路が結合される。これらの各抵抗に割り当てられた抵抗値の適切な比率に基づいて、入力電圧36の5Vは、ノード92で3.3Vとなるように分割される。演算増幅器86の出力52は、バイポーラ・トランジスタ96のベース端子をドライブ、トランジスタ96および供給入力信号23を介して、フラッシュEEPROM装置に、分割された電圧レベルを与える。この場合、分割された電圧レベルは、 $3.3V \pm 10\%$ であるが、入力電圧36は5V電圧レベルを維持する。フィードバック・パス54は、供給入力信号23が3.3Vを保ち、コンデンサ98が、供給入力信号23のノイズ、およびグリッチを減らすことを保証する。この方法で、3.3VフラッシュEEPROM装置が使われる、本発明の好ましい実施形態を使用するPCシステムに5Vが供給されるとき、入力電圧36(5V)が3.3Vへ分割され、その分割された電圧が電圧レギュレータ30と電圧選択回路32(第7図に示される)によってフラッシュEEPROM装置24(第5図)へ供給される。

入力電圧36が3.3Vのとき、3.3V選択信号50は論理状態「1」であり、NORゲート80の出力を論理状態「0」にし、よって、演算増幅器86とバイポーラ・トランジスタ96の両方を使用不能にする。さらに、N3トランジスタ84は、「オフ」モードであって、R4抵抗90とR5抵抗88から構成される抵抗分割回路を使用不能にする。こうして、そのイネーブル入力端子が論理

状態「0」になるので、演算増幅器86は「オフ」モードになるであろう。後者の抵抗分割器が使用不能になるため、入力電圧36の分割は実行されない。演算増幅器86を「オフ」に切り換えることによって、バイポーラ・トランジスタ96が、入力電圧36を供給入力信号23へ渡すのを防止できる。むしろ、入力電圧36は、3.3V選択信号50の状態が、論理状態「1」であるため、「オン」モードであるP3トランジスタ76へ渡される。3.3Vの入力電圧36は、供給入力信号23を生成するため、P3トランジスタ76を介して、ノード94およびバス54へ渡される。供給入力信号23は、フラッシュEEPROM装置に3.3Vを供給するよう動作する。これに関して、3.3V動作の間、演算増幅器86、抵抗分割器、バイポーラ・トランジスタ96を使用不能にすることによって、好ましい実施形態は、電力効率を向上し、PCシステムによる全体の電力消費を節約する。

代替の実施形態では、その電圧で実行するよう設計されていない入力供給電圧が与えられるとき、フラッシュEEPROM装置が、読出し、書込み、および消去操作を効率的に実行できないことを利用する。フラッシュEEPROM装置を最大の定格動作電圧レベルに曝すことによってこれを実行する。情報処理システム電源投入時、およびシステム・リセット時、第5図の制御装置20は、レギュレータPD信号82を論理状態「0」にセットすることによって、電圧レギュレータ30を使用可能にし、電圧選択回路32の出力、つまり供給入力信号23をフラッシュEEPROM装置への供給電圧にする。3.3V選択信号50は、5V動作を選択するよう強制される。制御装置20は、次に、フラッシュEEPROM装置へ、および、そこからのデータの消去、書込み、および読出し操作を始動する。この動作モードにおいて、もし、PCシステムからの電源が、 $5V \pm 10\%$ である場合、電圧レギュレータ30は、適切な電圧レベル、すなわち $3.3V \pm 10\%$ をフラッシュEEPROM装置へ与える。制御装置20が、最大定格でフラッシュEEPROM装置に格納されるデータに読出し、書込み、および消去操作などの機能操作を実行しようとするとき、フラッシュEEPROM装置は、正しく動作する。したがって、制御装置20は、電圧レギュレータ30を常に使用可能にし、電圧選択回路32を介して、供給入力信号23が、フラッシュE

E

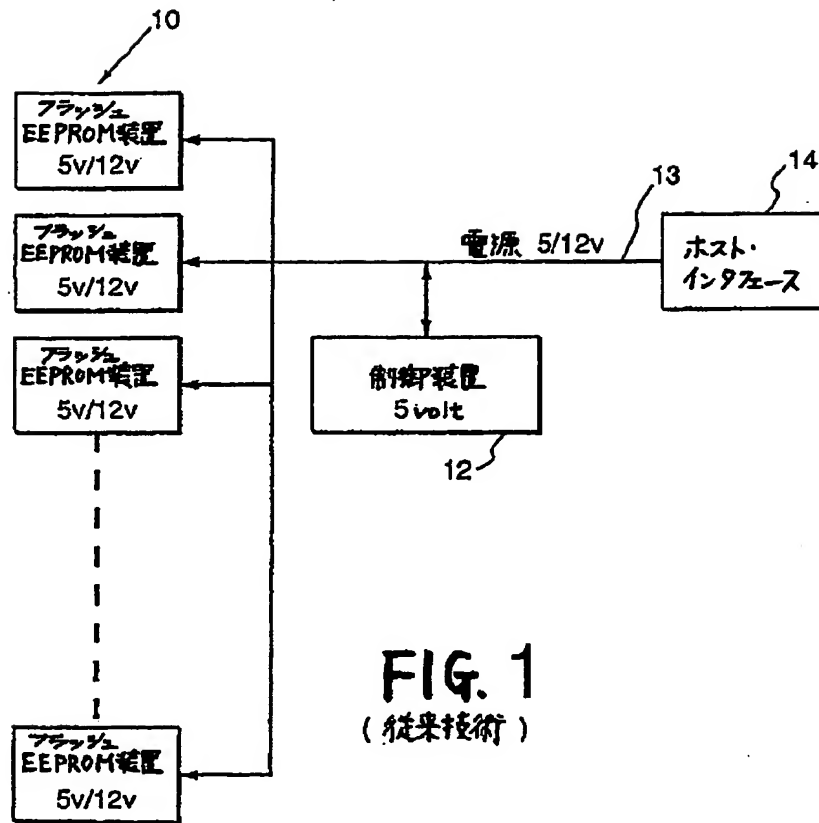
PROM装置24への電源、すなわち電圧源になるよう選択する。

PCシステムの電源が、 $3.3\text{V} \pm 10\%$ のとき、信号23によって与えられる電圧レギュレータ30と選択回路32の出力は、フラッシュEEPROM装置が動作する電圧（すなわち $3.3\text{V} \pm 10\%$ ）より低いであろう。したがって、制御装置20が、最大値でフラッシュEEPROM装置24に格納されるデータに、読出し、書込み、および消去などの機能操作を実行しようとするとき、これらの動作は、不成功となる。制御装置20は、電圧レギュレータの電圧分割機能を取りやめ、PCシステムによって入力電圧36へ供給される電圧レベル（ $3.3\text{V} \pm 10\%$ ）をフラッシュEEPROM装置24に加える。次に、制御装置20は、フラッシュEEPROM装置のデータの、読出し、書込み、および／または、消去の機能操作テストを再開し、これらの操作が成功となる結果を返すまで繰り返す。この方法では、制御装置20は、システムによって供給される電圧が $3.3\text{V} \pm 10\%$ であって、したがって電圧レギュレータ30による電圧ステップダウンが不要であると判定する。この代替の実施形態の実行は、フラッシュEEPROM装置の仕様、および性能に強く依存することを留意されたい。すなわち、もし、これらの装置が、たとえば、5Vの作動電圧から3.3Vまで、オーバーラップする広範囲の入力電圧で、正常に動作する場合、この方法は、適さないであろう。他方、もし、使用されるフラッシュEEPROM装置の作動電圧が、オーバーラップしなければこの方法は高く実現可能である。

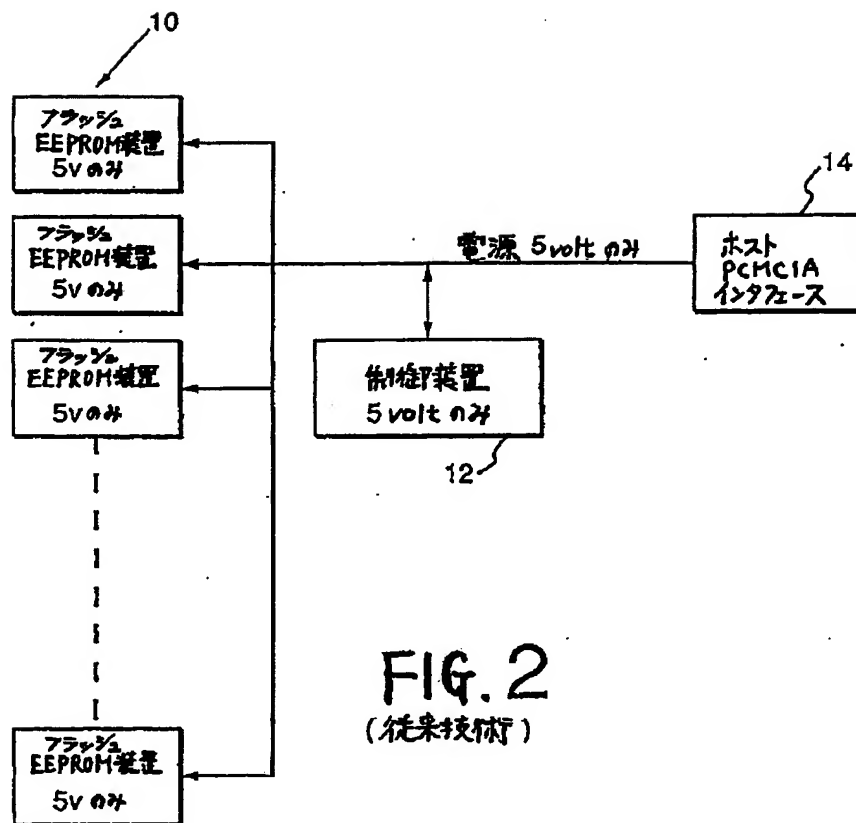
以上本発明の好ましい実施形態を特定の実施形態に関して述べたが、その代替および修正が、当分野の技術者にとって、疑いの余地なく明白になるであろうことが期待される。したがって、次の請求の範囲が、本発明の好ましい実施形態の真の精神、および範囲の中にある、代替および修正すべてを含むよう解釈されることが意図される。

請求の範囲は、以下のとおりである。

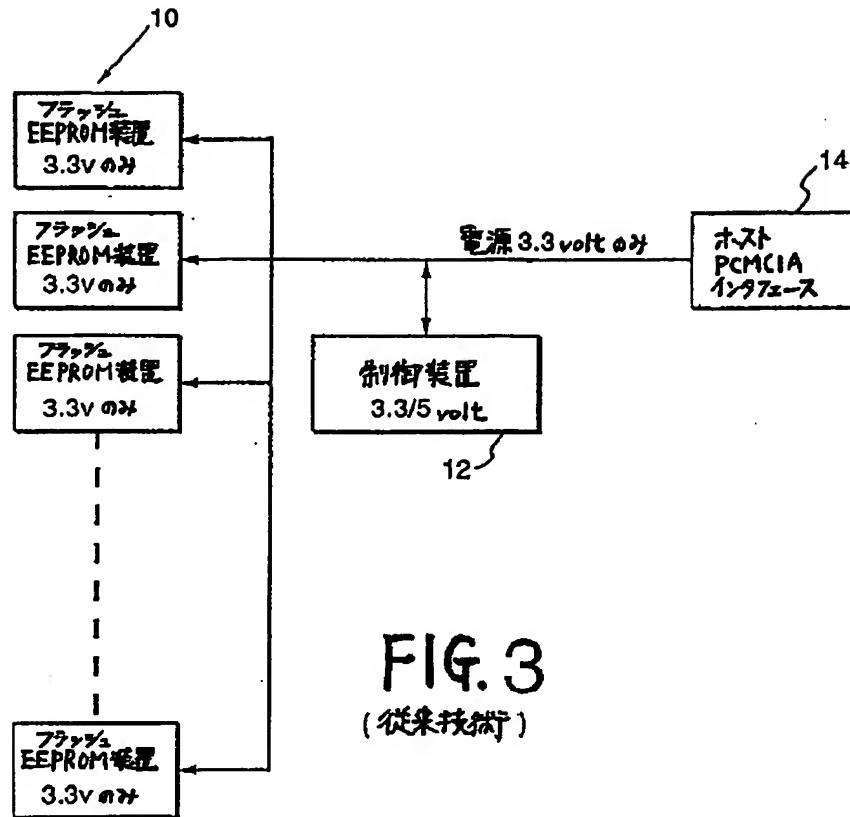
【図1】



【図2】



【図3】



【図4】

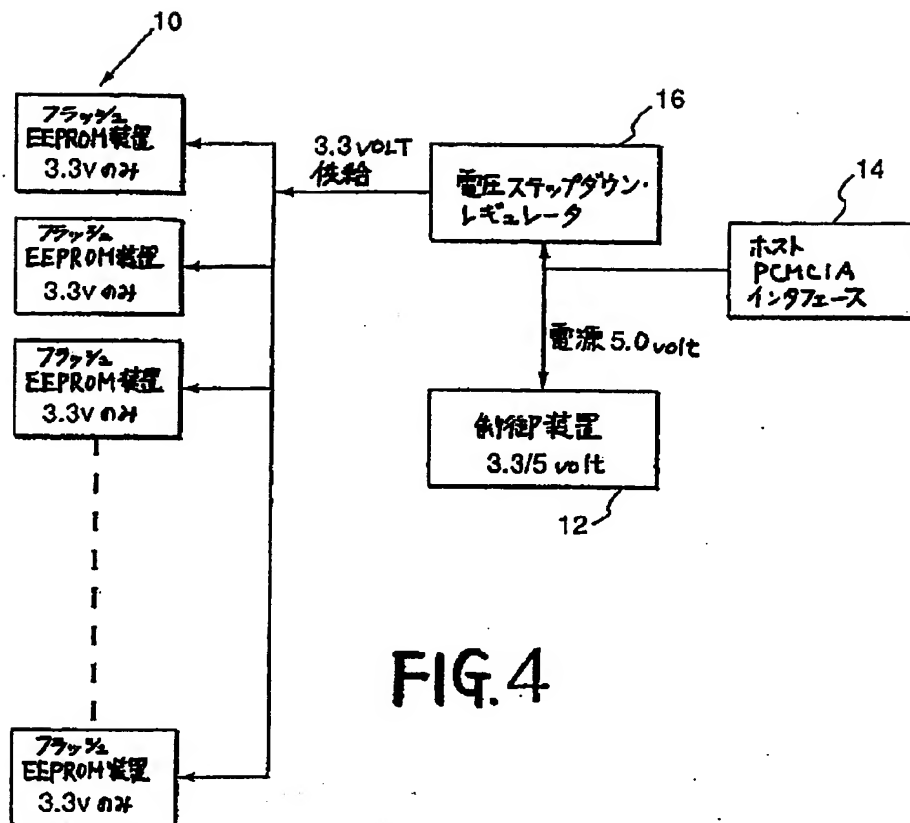


FIG. 4

【図5】

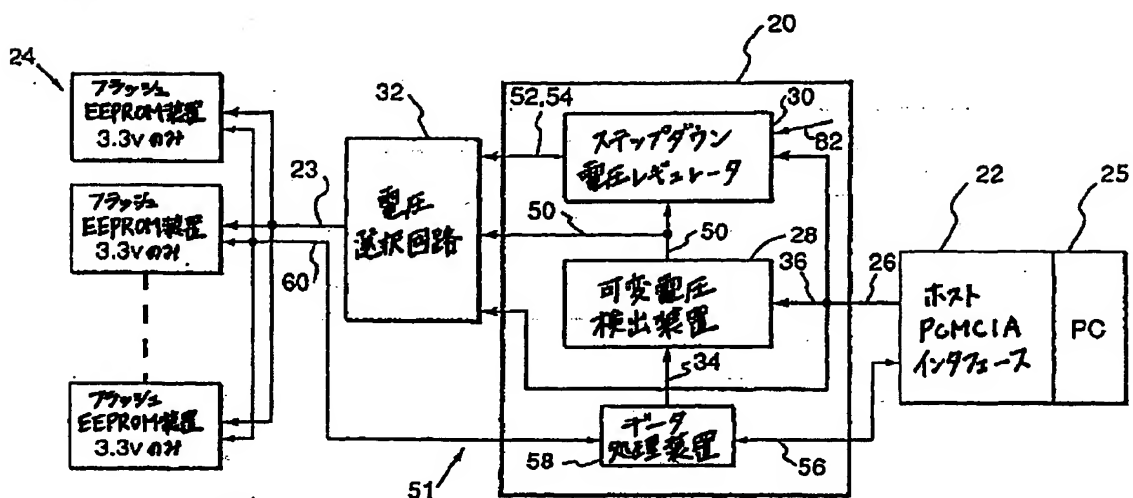


FIG. 5

【図6】

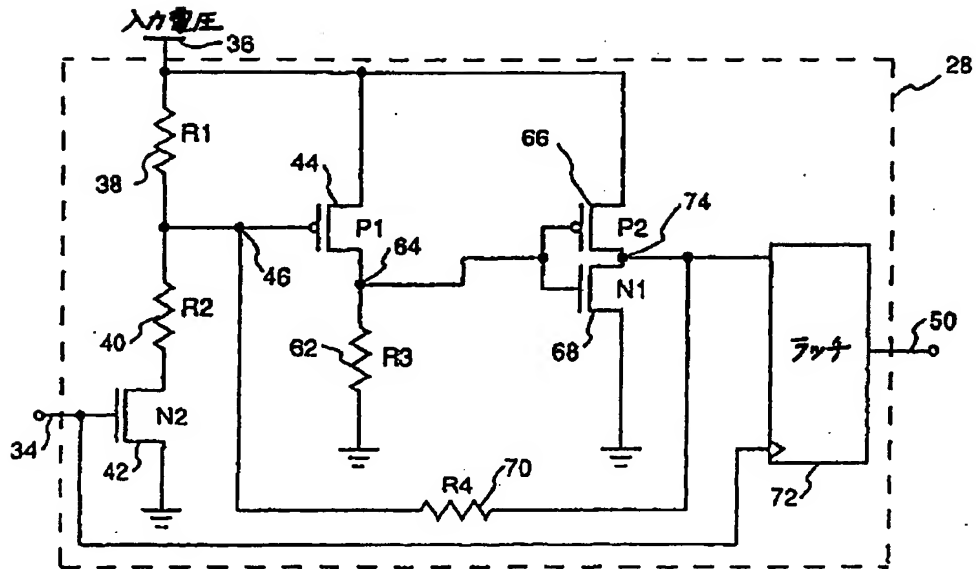


FIG. 6

【図7】

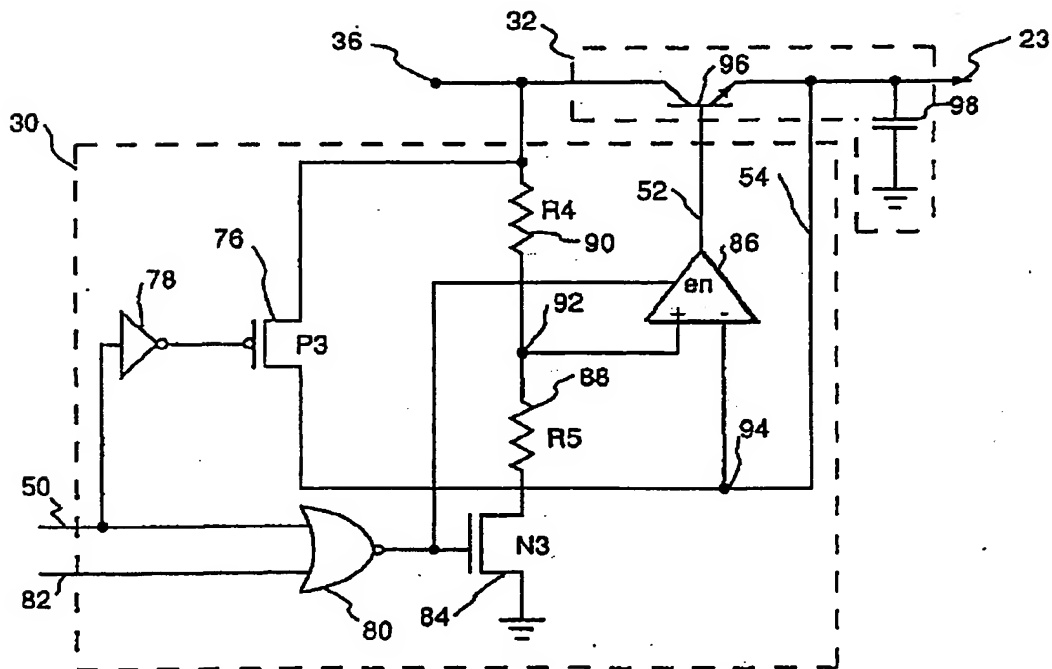


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/18036

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G06F 11/00; G11C 13/00, 11/40 US CL : 395/281, 282, 283, 750; 365/226; 307/15, 16 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 395/281, 282, 283, 750; 365/226; 307/15, 16 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS; MAYA		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5,329,491 A (BROWN ET AL) 12 July 1994, col. 2, line 2 to col. 4, line 9 and claims 1-4.	1-14
Y	US, 5,430,682 A (ISHIKAWA ET AL) 04 July 1995, col. 3, lines 12-40 and col. 4, line 65 to col. 5, line 13	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
^a Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "T" document published prior to the international filing date but later than the priority date claimed "X" later document published after the international filing date or priority date and not in conflict with the application but cited to underscore the principle or theory underlying the invention "Y" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Z" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 02 APRIL 1997		Date of mailing of the international search report 05 MAY 1997
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer ARIO ETIENNE Telephone No. (703) 305-3900

フロントページの続き

- (72)発明者 アサー, マーマッド
アメリカ合衆国・95037・カリフォルニア
州・モーガン ヒル・シャドーレーン コ
ート・14525
- (72)発明者 ベット, ボイド・ゲイル
アメリカ合衆国・95119・カリフォルニア
州・サン ホゼ・ヴィスケイノ ウェイ・
334